

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259894

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H03K 23/00

H03K 21/40

(21)Application number : 04-053134

(71)Applicant : KOFU NIPPON DENKI KK

(22)Date of filing : 12.03.1992

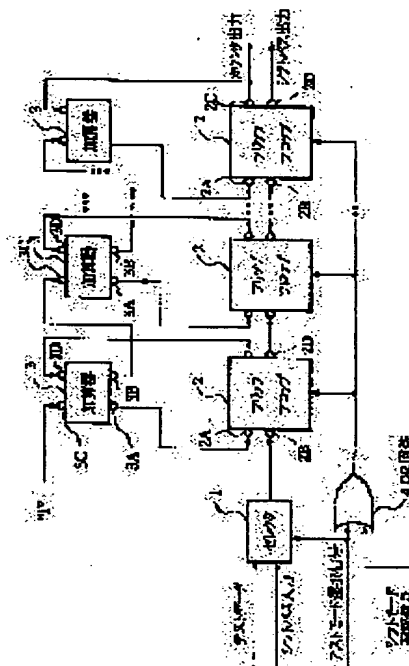
(72)Inventor : WATANABE TAKANORI

(54) COUNTER CIRCUIT

(57)Abstract:

PURPOSE: To provide the counter circuit in which one selector circuit and one test data input section connecting to the input side of the selector circuit are enough for the purpose.

CONSTITUTION: The circuit is provided with a selector 1 which selects output of test data to a shift path input terminal of a flip-flop 2 connecting to an adder 3 corresponding to a least significant digit when a test data selection signal is received by the selector and selects output of a shift path from a pre-stage to the input terminal of the flip-flop 2 in other cases, and with an OR circuit 4 receiving a shift mode selection signal and a test mode selection signal and controlling the connection of an input output terminal of the N-sets of the flip-flop circuits 2 and an internal D flip-flop based on the output, and all the flip-flop circuits 2 form a shift path when the shift mode selection signal or the test mode selection signal is received. Furthermore, when the test mode selection signal is inputted, the test data are inputted to each of the flip-flop circuits 2 via the selector 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-259824

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	3/017	7436-5 J		
	21/40	D 7402-5 J		
	23/00	B 7402-5 J		

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平4-45097

(22) 出願日 平成4年(1992)3月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青木 康子

東京都港区芝五丁目7番1号日本電気株式会社内

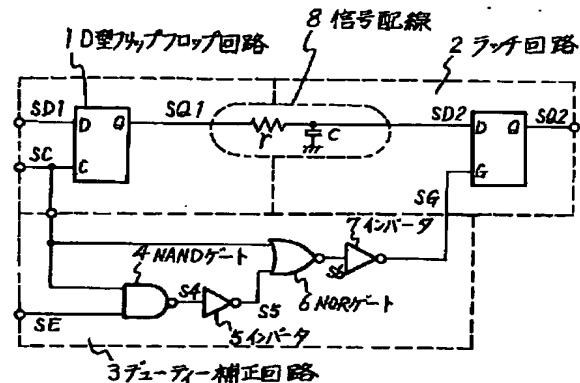
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体論理集積回路

(57) 【要約】

【目的】 クロック信号のデューティが変化した際、データ入力の配線の寄生抵抗、寄生容量に起因するラッチ誤動作を防止する。

【構成】 二つの入力端にクロック信号 SC とデューティ補正信号 SE を入力し、論理ゲート 4~7 を介してデューティ補正信号 SE によりクロック信号 SC のデューティ比を変化させるデューティ補正回路 3 の出力 SG を後段のラッチ回路 2 の制御端 G に供給する。



【特許請求の範囲】

【請求項1】 システムのクロック信号をクロック端に
入力する前段順序論理回路と、該前段順序論理回路の出
力端と信号配線を介して入力端が接続されかつ制御端に
入力する制御信号に同期して動作する後段順序論理回路
と、前記クロック信号とデューティ補正信号を入力し
て論理ゲートを介してデューティを拡大補正した波形
の前記制御信号を出力するデューティ補正回路とを含
むことを特徴とする半導体論理集積回路。

【請求項2】 前段順序論理回路がD型フリップフロ
ップ回路で、後段順序論理回路がD型フリップフロップ回
路またはラッチ回路であり、デューティ補正回路はク
ロック信号を一端にまた他端にデューティ補正信号を
入力するNANDゲートと該NANDゲートの出力反転
信号を一端にまた他端に前記クロック信号を入力しイン
バータを介して反転NOR信号を制御信号として出力す
るNORゲートとを有することを特徴とする請求項1記
載の半導体論理集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体論理集積回路に関
し、特に多段の順序論理回路に関する。

【0002】

【従来の技術】 順序論理回路はシステムのクロック信号
SCに同期して、例えばD型フリップフロップ回路の2
段カスケード接続、あるいはD型フリップフロップ回路
とラッチ回路のカスケード接続で構成される。図5は従
来の半導体論理集積回路の一例の回路図で、前段にD型

ック信号SCの立下りエッジ時点A、BまでにD型フリ
ップフロップ回路の出力信号SQ1が配線8を通してラ
ッチ回路2の入力信号SD2に伝搬していれば、図6
(a)に示す出力信号SQ2がラッチ回路2の出力端Q
から出力される。

【0006】

【発明が解決しようとする課題】 この従来の半導体論理
集積回路において、クロック信号SCのレベル“H”と
（“H”+“L”）の時間比であるデューティが50
%よりも小さくなった場合の動作は、図6（b）に示す
各信号のタイミングチャートのようになる。D型フリ
ップフロップ回路の動作は前述した通りだが、ラッチ回路
2の制御信号SGとして入力されるクロック信号SCは
デューティが小さくなっているため、“H”レベル幅
が狭くなる。従ってクロック信号SCにより出力された
D型フリップフロップ回路1の出力信号SQ1をラッチ
回路2がラッチするための時間、すなわちクロック信号
SCの立下りエッジ時点Aまでの時間が短くなる。

【0007】 D型フリップフロップ回路1の出力端Qと
ラッチ回路2の入力端Dとを接続する信号配線8につい
た寄生抵抗r、寄生容量cが大きい場合、時点A、Bの
ラッチ回路2がラッチするタイミングに、ラッチ入力信
号SD2の波形がなまって変化が間に合わず、本来なら
ば時点Bのタイミングで“L”レベルとなるべき出力信
号SQ2が時点Bのタイミングでは変化せずに、クロッ
ク信号SCが次に“H”レベルとなる時点Cのタイミ
ングで変化するという誤動作を起こすという問題があっ
た。

【0008】

【特許請求の範囲】

【請求項1】 システムのクロック信号をクロック端に
入力する前段順序論理回路と、該前段順序論理回路の出力端と信号配線を介して入力端が接続されかつ制御端に
入力する制御信号に同期して動作する後段順序論理回路
と、前記クロック信号とデューティ補正信号を入力し
て論理ゲートを介してデューティを拡大補正した波形
の前記制御信号を出力するデューティ補正回路とを含
むことを特徴とする半導体論理集積回路。

【請求項2】 前段順序論理回路がD型フリップフロ
ップ回路で、後段順序論理回路がD型フリップフロ
ップ回路またはラッチ回路であり、デューティ補正回路はク
ロック信号を一端にまた他端にデューティ補正信号を
入力するNANDゲートと該NANDゲートの出力反転
信号を一端にまた他端に前記クロック信号を入力しレ
ンバートを介して反転NOR信号を制御信号として出力す
るNORゲートとを有することを特徴とする請求項1記
載の半導体論理集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体論理集積回路に関
し、特に多段の順序論理回路に関する。

【0002】

【従来の技術】 順序論理回路はシステムのクロック信号
SCに同期して、例えばD型フリップフロップ回路の2
段カスケード接続、あるいはD型フリップフロップ回路
とラッチ回路のカスケード接続で構成される。図5は従
来の半導体論理集積回路の一例の回路図で、前段にD型
フリップフロップ回路1と後段にラッチ回路2とを有す
る。

【0003】 クロック信号SCの立上りで出力が変化する
前段のD型フリップフロップ回路1の入力データとし
て入力信号SD1を、またクロック端Cにクロック信号
SCを入力する。制御端Gの制御信号SGが“H”レベ
ルのときに出力信号SQ2が出力端Qに出力され、
“L”レベルとときにラッチの内容が保持される後段の
ラッチ回路2の入力端Dには、信号配線8を介して前段
の出力信号SQ1を入力し、制御端Gには制御信号SG
として前段と同じクロック信号SCを入力していた。

【0004】 次に動作について説明する。図6(a)は
図5の回路の動作を説明するための各信号のタイミング
チャートである。D型フリップフロップ回路1は入力信
号SD1の変化に対し、クロック信号SCの立上りエッ
ジt_oで出力信号SQ1が“H”レベルに変化する。D
型フリップフロップ回路1の出力端Qとラッチ回路2の
入力信号端Dとを接続する信号配線8に寄生抵抗r及び
寄生容量cがついていた場合には、図6(a)のタイム
チャートに示すようにラッチ入力信号SD2は出力信号
SQ1の積分波形となりなまる。

【0005】 ラッチ回路2の制御信号SGすなわちクロ

ック信号SCの立下りエッジ時点A、BまでにD型フリ
ップフロップ回路の出力信号SQ1が配線8を通してラ
ッチ回路2の入力信号SD2に伝搬していれば、図6
(a)に示す出力信号SQ2がラッチ回路2の出力端Q
から出力される。

【0006】

【発明が解決しようとする課題】 この従来の半導体論理
集積回路において、クロック信号SCのレベル“H”と
 (“H” + “L”) の時間比であるデューティが50
 %よりも小さくなった場合の動作は、図6(b)に示す
 各信号のタイミングチャートのようになる。D型フリ
 ップフロップ回路の動作は前述した通りだが、ラッチ回路
 2の制御信号SGとして入力されるクロック信号SCは
 デューティが小さくなっているため、“H”レベル幅
 が狭くなる。従ってクロック信号SCにより出力された
 D型フリップフロップ回路1の出力信号SQ1をラッチ
 回路2がラッチするための時間、すなわちクロック信号
 SCの立下りエッジ時点Aまでの時間が短くなる。

【0007】 D型フリップフロップ回路1の出力端Qと
 ラッチ回路2の入力端Dとを接続する信号配線8につい
 た寄生抵抗r、寄生容量cが大きい場合、時点A、Bの
 ラッチ回路2がラッチするタイミングに、ラッチ入力信
 号SD2の波形がなまって変化が間に合わず、本来なら
 ば時点Bのタイミングで“L”レベルとなるべき出力信
 号SQ2が時点Bのタイミングでは変化せずに、クロッ
 ク信号SCが次に“H”レベルとなる時点Cのタイミン
 グで変化するという誤動作を起こすという問題があっ
 た。

【0008】

【課題を解決するための手段】 本発明の半導体論理集積
 回路は、システムのクロック信号をクロック端に inputs
 する前段順序論理回路と、該前段順序論理回路の出力端と
 信号配線を介して入力端が接続されかつ制御端に inputs
 する制御信号に同期して動作する後段順序論理回路と、前
 記クロック信号とデューティ補正信号を入力して論理
 ゲートを介してデューティを拡大補正した波形の前記
 制御信号を出力するデューティ補正回路とを含んで構
 成されている。

【0009】 また、本発明の前段順序論理回路がD型フリ
 ップフロップ回路で、後段順序論理回路がD型フリ
 ップフロップ回路またはラッチ回路であり、デューティ
 補正回路はクロック信号を一端にまた他端にデューティ
 補正信号を入力するNANDゲートと該NANDゲート
 の出力反転信号を一端にまた他端に前記クロック信号
 を入力しレインバートを介して反転NOR信号を制御信号
 として出力するNORゲートとを有して構成されている。

【0010】

【実施例】 次に本発明について図面を参照し、図1は本
 発明の第1の実施例の等価回路図である。本実施例の半

3

導体論理集積回路は、前段にシステムのクロック信号SCをクロック端Cに入力するD型フリップフロップ回路1と、その出力端Qと信号配線8を介して入力端Dが接続されかつ制御端Gに入力する制御信号Gに同期してデータラッチをするラッチ回路2と、クロック信号SCとデューティ補正信号SEとを入力してNANDゲート4、インバータ5、NORゲート6およびインバータ7を介してデューティ幅を拡大補正した波形の制御信号SGを出力するデューティ補正回路3とを有している。

【0011】次に、図1の回路の動作について説明する。クロック信号SCの立上りで出力が変化する前段のD型フリップフロップ回路1のデータに入力信号SD1を、またクロック端Cにクロック信号SCを入力し、制御信号SGが“H”レベルのときに入力データSD2が出力端Qから信号SQ2として出力され、“L”レベルのときはラッチの内容が保持されるラッチ回路2に、信号配線8を通った入力信号SD2を入力し、制御端Gにデューティ補正回路3の出力信号SGを入力する。ここではデューティ補正回路3として、クロック信号SCとデューティ補正信号SEを入力したNANDゲート4の出力端をインバータ5の入力端に接続し、その出力信号S5とクロック信号SCをNORゲート6に入力してインバータ7を通してその反転信号を制御信号SGとして出力する論理回路を使用する。

【0012】図2は図1の回路の各信号の動作タイミングチャートである。デューティ補正回路SEが“L”レベルのとき、NANDゲート4の出力信号S4は他の入力であるクロック信号SCのレベルにかかわらず“H”レベルとなり、インバータ5の出力S5は“L”レベルとなる。従ってANDゲート4の出力信号S4はクロック信号SCの反転レベルとなりインバータ5の出力信号S5はクロック信号SCと同相となる。ラッチ回路2の制御信号SGにはクロック信号SCと同じレベルが入力され、その動作も従来技術と同様である。

【0013】次に、デューティ補正信号SEが“H”レベルの場合の動作について説明する。D型フリップフロップ回路1の動作は従来技術と同様である。デューティ補正回路3の動作は以下の通りとなる。まずクロック信号SCが“L”レベルのときNANDゲート4の出力信号S4は“H”レベル、インバータ5の出力信号S5は“L”レベル、NORゲート6の出力信号S6は“H”レベルそしてインバータ7の出力信号すなわち制御信号SGは“L”レベルとなる。

【0014】クロック信号SCが“L”レベルから“L”レベルへ変化した場合、NORゲート6はインバータ5の出力信号S5にかかわらず、“L”レベルに変化し、インバータ7も“H”レベルに変化するため、クロック信号SCの変化に対し遅れなく変化する。

【0015】次に、クロック信号SCが“H”レベルか

4

ら“L”レベルに変化した場合、NORゲート6の出力信号S6はインバータ5の出力信号S5により決定される。

【0016】NANDゲート4、インバータ5に適度な遅延を与えておけばその遅延分TだけNORゲート6の“L”レベルから“H”レベルの変化が遅れることとなる。NANDゲート4とインバータ5の伝搬遅延を適度に与え、NORゲート6、インバータ7の遅延を小さく設定することにより、クロック信号SCとラッチ回路2の制御信号SGの変化を比較すると、クロック信号SCの立上り変化に対し、制御信号SGの立上り変化のタイミング差を小さく、クロック信号SCの立下り変化に対し、制御信号SGの立下り変化を遅延時間Tだけ遅く設定できる。

【0017】これは制御信号SGの“H”レベルの時間を長く、デューティを大きくしたことになり、ラッチ回路2が入力信号D2をラッチするまでのタイミングが大きくなったことになる。従って入力信号SD2が信号配線8の寄生抵抗r、寄生容量cによって波形のなまりを生じた場合でも、従来よりもラッチするまでの時間が長くなった分Tだけ確実に入力データをラッチすることができる。

【0018】図3は本発明の第2の実施例の等価回路図である。本実施例は、順序論理回路の後段としてD型フリップフロップ回路1aを使用し、それに対応した論理回路のデューティ補正回路3aを有している。図4は図3の回路の動作を説明するための各信号のタイミングチャートである。

【0019】

【発明の効果】以上説明したように本発明は、クロック信号とデューティ補正信号を入力したデューティ補正回路の出力を後段の順序論理回路の制御信号に入力したことにより、システムのクロック信号のデューティ比が小さく変化した場合でも、順序論理回路のデータ入力信号の配線の寄生抵抗、寄生容量による信号波形のなまりに起因する誤動作を防ぐという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の等価回路図である。

【図2】図1の回路の動作を説明するための各信号のタイミングチャートである。

【図3】本発明の第2の実施例の等価回路図である。

【図4】図3の回路の動作を説明するための各信号のタイミングチャートである。

【図5】従来の半導体論理集積回路の一例の等価回路図である。

【図6】(a)、(b)はそれぞれ図5の回路の正常および誤動作を説明するための各信号のタイミングチャートである。

【符号の説明】

1, 1a D型フリップフロップ回路

(4)

特開平5-259824

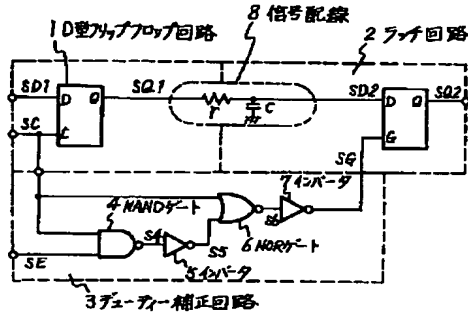
5

6

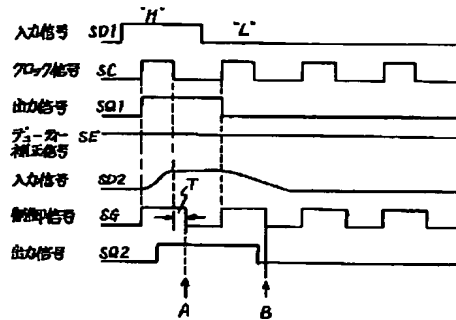
- 2 ラッチ回路
- 3, 3a デューティ補正回路
- 4 NANDゲート
- 5, 7 インバータ
- 6 NORゲート
- 8 信号配線
- SC クロック信号

- SD1, SD2 入力信号
- SE デューティ補正信号
- SG 制御信号
- SQ1, SQ2 出力信号
- 寄生抵抗 r
- 寄生容量 c

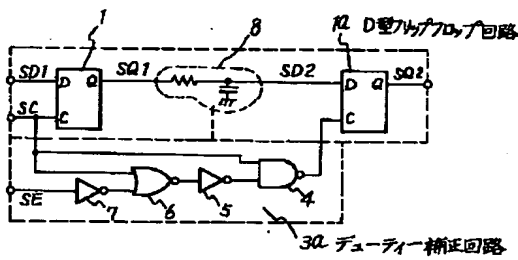
【図1】



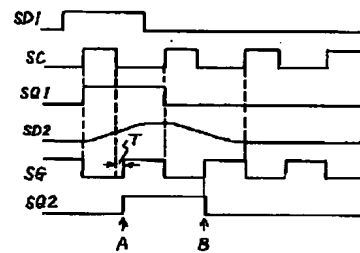
【図2】



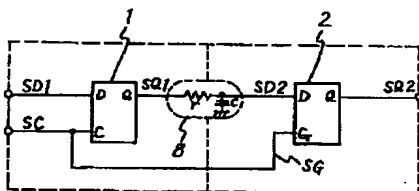
【図3】



【図4】



【図5】



【図6】

